

# Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/007339

International filing date: 15 April 2005 (15.04.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP  
Number: 2005-117354  
Filing date: 14 April 2005 (14.04.2005)

Date of receipt at the International Bureau: 02 June 2005 (02.06.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland  
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application: 2 0 0 5 年 4 月 1 4 日

出 願 番 号  
Application Number: 特 願 2 0 0 5 - 1 1 7 3 5 4

パリ条約による外国への出願  
に用いる優先権の主張の基礎  
となる出願の国コードと出願  
番号  
J P 2 0 0 5 - 1 1 7 3 5 4  
The country code and number  
of your priority application,  
to be used for filing abroad  
under the Paris Convention, is

出 願 人  
Applicant(s): ローム株式会社

2 0 0 5 年 5 月 2 0 日

特許庁長官  
Commissioner,  
Japan Patent Office

小 川



【書類名】 特許願  
【整理番号】 05-00161  
【提出日】 平成17年 4月14日  
【あて先】 特許庁長官 殿  
【国際特許分類】 H02P 7/28  
【発明者】  
    【住所又は居所】 京都市右京区西院溝崎町 2 1 番地 ローム株式会社内  
    【氏名】 沢村 陽  
【発明者】  
    【住所又は居所】 京都市右京区西院溝崎町 2 1 番地 ローム株式会社内  
    【氏名】 武村 哲也  
【特許出願人】  
    【識別番号】 000116024  
    【氏名又は名称】 ローム株式会社  
【代理人】  
    【識別番号】 100121337  
    【弁理士】  
    【氏名又は名称】 藤河 恒生  
    【電話番号】 077-547-3453  
【先の出願に基づく優先権主張】  
    【出願番号】 特願2004-122251  
    【出願日】 平成16年 4月16日  
【手数料の表示】  
    【予納台帳番号】 212120  
    【納付金額】 16,000円  
【提出物件の目録】  
    【物件名】 特許請求の範囲 1  
    【物件名】 明細書 1  
    【物件名】 図面 1  
    【物件名】 要約書 1  
    【包括委任状番号】 0202210

【書類名】 特許請求の範囲

【請求項 1】

高速バスとペリフェラルバスとをバスブリッジを介して結合し、これら高速バス及びペリフェラルバスに、画像処理の演算や制御を行うCPU、ホスト装置と画像圧縮データの送受信を行うデータ送受信用FIFOメモリ、画像伸張データを保存してそのデータを表示パネルに表示するフレームメモリ、画像伸張データの圧縮及び画像圧縮データの伸張を行う圧縮／伸張回路、を接続する画像処理装置において、

前記CPUとフレームメモリを高速バスに接続し、前記データ送受信用FIFOメモリをペリフェラルバスに接続してなることを特徴とする画像処理装置。

【請求項 2】

請求項 1 において、

前記圧縮／伸張回路を高速バスに接続してなることを特徴とする画像処理装置。

【請求項 3】

命令用CPU直結バスとデータ用CPU直結バスと高速バスとを有し、これらのバスに、画像処理の演算や制御を行うCPU、CPUの処理プログラムを格納するROM、CPUが行う演算のワークエリアに用いられるRAM、ホスト装置と画像圧縮データの送受信を行うデータ送受信用FIFOメモリ、画像伸張データを保存してそのデータを表示パネルに表示するフレームメモリ、画像伸張データの圧縮及び画像圧縮データの伸張を行う圧縮／伸張回路、を接続する画像処理装置において、

前記CPUとROMを命令用CPU直結バスに接続し、前記CPUとRAMとフレームメモリをデータ用CPU直結バスに接続し、前記CPUとデータ送受信用FIFOメモリを高速バスに接続してなることを特徴とする画像処理装置。

【請求項 4】

請求項 3 において、

前記圧縮／伸張回路をデータ用CPU直結バスに接続してなることを特徴とする画像処理装置。

【書類名】 明細書

【発明の名称】 画像処理装置

【技術分野】

【０００１】

本発明は、画像データの圧縮／伸張が行える画像処理装置に関する。

【背景技術】

【０００２】

近年、携帯電話のような電子機器は、画像データを表示することに加え、電子カメラ機能を搭載して撮影した画像データを表示したり格納したりするようになってきている。従って、このような電子機器は、多量の画像データの複雑な処理をすることが必要であり、ＣＰＵを用いた画像処理装置を用いるのが一般的である（例えば特許文献１及び２）。図３に従来の画像処理装置の一例を示す。この画像処理装置１０１は、高速バス１０とペリフェラルバス１２とがバスブリッジ１１を介して結合されるバスアーキテクチャであり、両バス１０、１２に各種機能回路が接続されている。すなわち、高速バス１０には、画像処理等の必要な演算や制御を行うＣＰＵ１３と、ＣＰＵ１３の処理プログラムを格納するＲＯＭ１４と、ＣＰＵ１３が行う演算のワークエリア等に用いられるＲＡＭ１５とが接続されている。またペリフェラルバス１２には、電子カメラ２からの画像伸張データやホスト装置４からの画像圧縮データを伸張した画像伸張データを保存してそのデータをＬＣＤ等の表示パネル３に表示するフレームメモリ１６と、画像伸張データの圧縮及び画像圧縮データの伸張を行う圧縮／伸張回路１７と、ホスト装置４との間で画像圧縮データの送受信を行うデータ送受信用ＦＩＦＯ（First In First Out）メモリ１８と、汎用のタイマ回路１９等とが接続されている。また、画像処理装置１０１は、ＣＰＵ１３によりフレームメモリ１６のデータをリード・ライトされるフレームメモリ用レジスタ２０と、ＣＰＵ１３により圧縮／伸張回路１７のデータをリード・ライトされる圧縮／伸張回路用レジスタ２１と、ＣＰＵ１３によりデータ送受信用ＦＩＦＯメモリ１８のデータをリード・ライトされるデータ送受信用レジスタ２２と、を含む。なお、本出願において、画像圧縮データは圧縮されている画像データをいい、画像伸張データは圧縮されていない画像データをいう。

【０００３】

電子カメラ２からの画像伸張データは、フレームメモリ１６に保存されて表示パネル３に表示され、また、フレームメモリ用レジスタ２０及びペリフェラルバス１２を介してＣＰＵ１３に読み込まれ、圧縮／伸張回路１７及びＲＡＭ１５等にて圧縮される。その画像圧縮データは、ペリフェラルバス１２及びデータ送受信用レジスタ２２を介してデータ送受信用ＦＩＦＯメモリ１８に書き込まれ、順番にホスト装置４に送信される。一方、ホスト装置４からの画像圧縮データは、データ送受信用ＦＩＦＯメモリ１８に受信されてデータ送受信用レジスタ２２及びペリフェラルバス１２を介してＣＰＵ１３に順番に読み込まれ、圧縮／伸張回路１７及びＲＡＭ１５等にて伸張される。その画像伸張データは、ペリフェラルバス１２及びフレームメモリ用レジスタ２０を介してフレームメモリ１６に保存されて表示パネル３に表示される。

【０００４】

【特許文献１】 特開２００１－３５０４６１号公報

【特許文献２】 特開２００２－７７７０９号公報

【発明の開示】

【発明が解決しようとする課題】

【０００５】

このようにして画像処理は行われるが、表示される画像の高画質化や動画及び静止画の多様な処理などを実現していくうえで、ますます高速に画像処理を行うことが要請されている。一般に、画像処理の高速化には、ＣＰＵを初めとする各機能回路の高速化が行われるが、消費電力やコスト等を考慮した場合、それと共に、ＣＰＵを効率的に動作させることも重要である。

#### 【０００６】

本発明は、以上の事由に鑑みてなされたもので、その目的とするところは、ＣＰＵをより効率的に動作させることができ、もって画像処理の高速化が図れる画像処理装置を提供することにある。

#### 【課題を解決するための手段】

#### 【０００７】

上記の課題を解決するために、本発明の望ましい実施形態に係る画像処理装置は、高速バスとペリフェラルバスとをバスブリッジを介して結合し、これら高速バス及びペリフェラルバスに、画像処理の演算や制御を行うＣＰＵ、ホスト装置と画像圧縮データの送受信を行うデータ送受信用ＦＩＦＯメモリ、画像伸張データを保存してそのデータを表示パネルに表示するフレームメモリ、画像伸張データの圧縮及び画像圧縮データの伸張を行う圧縮／伸張回路、を接続する画像処理装置において、前記ＣＰＵとフレームメモリを高速バスに接続し、前記データ送受信用ＦＩＦＯメモリをペリフェラルバスに接続してなる。

#### 【０００８】

この画像処理装置は、望ましくは、前記圧縮／伸張回路を高速バスに接続してなる。

#### 【０００９】

本発明の別の望ましい実施形態に係る画像処理装置は、命令用ＣＰＵ直結バスとデータ用ＣＰＵ直結バスと高速バスとを有し、これらのバスに、画像処理の演算や制御を行うＣＰＵ、ＣＰＵの処理プログラムを格納するＲＯＭ、ＣＰＵが行う演算のワークエリアに用いられるＲＡＭ、ホスト装置と画像圧縮データの送受信を行うデータ送受信用ＦＩＦＯメモリ、画像伸張データを保存してそのデータを表示パネルに表示するフレームメモリ、画像伸張データの圧縮及び画像圧縮データの伸張を行う圧縮／伸張回路、を接続する画像処理装置において、前記ＣＰＵとＲＯＭを命令用ＣＰＵ直結バスに接続し、前記ＣＰＵとＲＡＭとフレームメモリをデータ用ＣＰＵ直結バスに接続し、前記ＣＰＵとデータ送受信用ＦＩＦＯメモリを高速バスに接続してなる。

#### 【００１０】

この画像処理装置は、望ましくは、前記圧縮／伸張回路をデータ用ＣＰＵ直結バスに接続してなる。

#### 【発明の効果】

#### 【００１１】

本発明によれば、画像処理装置は、データ量が多いフレームメモリを処理能力が相対的に高いバスに接続し、データ量が比較的少ないデータ送受信用ＦＩＦＯメモリを処理能力が相対的に低いバスに接続しているので、ＣＰＵを効率的に動作させることができ、もって全体として画像処理の高速化が可能になる。

#### 【発明を実施するための最良の形態】

#### 【００１２】

以下、本発明の最良の実施形態を図面を参照しながら説明する。図１は本発明の望ましい実施形態に係る画像処理装置のブロック図である。この画像処理装置１は、例えば７５ＭＨｚの高周波数で動作する高速バス１０と、例えば２５ＭＨｚの周波数で動作するペリフェラルバス１２と、をバスブリッジ１１を介して結合したバスアーキテクチャであり、両バス１０、１２に各種機能回路を接続している。すなわち、高速バス１０には、画像処理等の必要な演算や制御を行うＣＰＵ１３と、ＣＰＵ１３の処理プログラムを格納するＲＯＭ１４と、ＣＰＵ１３が行う演算のワークエリア等に用いられるＲＡＭ１５と、を接続し、更に電子カメラ２からの画像伸張データやホスト装置４からの画像圧縮データを伸張した画像伸張データを保存してそのデータをＬＣＤ等の表示パネル３に表示するフレームメモリ１６と、画像伸張データの圧縮及び画像圧縮データの伸張を行う圧縮／伸張回路１７とを接続している。またペリフェラルバス１２には、ホスト装置４との間で画像圧縮データの送受信を行うデータ送受信用ＦＩＦＯメモリ１８と、汎用のタイマ回路１９等とを接続している。また、画像処理装置１は、ＣＰＵ１３によりフレームメモリ１６のデータをリード・ライトされるフレームメモリ用レジスタ２０と、ＣＰＵ１３により圧縮／伸張

回路１７のデータをリード・ライトされる圧縮／伸張回路用レジスタ２１と、ＣＰＵ１３によりデータ送受信信用ＦＩＦＯメモリ１８のデータをリード・ライトされるデータ送受信信用レジスタ２２と、を含む。なお、圧縮／伸張回路１７は、具体的には、静止画の圧縮／伸張に用いられるＪＰＥＧ回路又は動画の圧縮／伸張に用いられるＭＰＥＧ回路などである。また、ホスト装置４は、例えばこの画像処理装置１が携帯電話のような電子機器に用いられる場合は、その機器の本体機能を制御するプロセッサ装置などである。

#### 【００１３】

電子カメラ２からの画像伸張データは、フレームメモリ１６に保存されて表示パネル３に表示され、また、フレームメモリ用レジスタ２０及び高速バス１０を介してＣＰＵ１３に読み込まれ、圧縮／伸張回路１７及びＲＡＭ１５等により圧縮される。その画像圧縮データは、ペリフェラルバス１２及びデータ送受信信用レジスタ２２を介してデータ送受信信用ＦＩＦＯメモリ１８に書き込まれ、順番にホスト装置４に送信される。一方、ホスト装置４からの画像圧縮データは、データ送受信信用ＦＩＦＯメモリ１８に受信されてデータ送受信信用レジスタ２２及びペリフェラルバス１２を介してＣＰＵ１３に順番に読み込まれ、圧縮／伸張回路１７及びＲＡＭ１５等により伸張される。その画像伸張データは、高速バス１０及びフレームメモリ用レジスタ２０を介してフレームメモリ１６に保存されて表示パネル３に表示される。

#### 【００１４】

ここで、高速バス１０は例えば７５ＭＨｚの高周波数で動作するので、画像伸張データはフレームメモリ１６からＣＰＵ１３に高速に読み込まれ、かつ、ＣＰＵ１３からフレームメモリ１６に高速に書き込まれる。また、フレームメモリ１６が演算のワークエリア等に用いられるＲＡＭ１５と同じバスに接続されているので一連の演算においてバスの切り換えによる無駄な時間であるオーバヘッド時間をなくすることができる。このように、データ量が多い画像伸張データの転送においてＣＰＵは効率的に動作し、全体的な画像処理の高速化に寄与する。また、ＣＰＵ１３と圧縮／伸張回路１７とのデータ転送も高速バス１０を介するので全体的な画像処理が更に高速になる。一方、ペリフェラルバス１２は例えば２５ＭＨｚの周波数で動作するので、画像圧縮データのデータ送受信信用ＦＩＦＯメモリ１８への書き込み又はＣＰＵ１３への読み出しは比較的低速である。しかし、その画像圧縮データは、画像伸張データの例えば１／１０乃至１／１００であってデータ量が比較的少ないので、全体としての画像処理の速度はさほど落ちない。

#### 【００１５】

このように、この画像処理装置１は、データ量が多いフレームメモリ１６を処理能力が相対的に高い高速バス１０に接続し、データ量が比較的少ないデータ送受信信用ＦＩＦＯメモリ１８を処理能力が相対的に低いペリフェラルバス１２に接続しているので、ＣＰＵ１３を効率的に動作させることができ、全体として画像処理の高速化が可能になる。なお、データ送受信信用ＦＩＦＯメモリ１８をペリフェラルバス１２に接続しているのは、高速バス１０に接続する機能回路を多くし過ぎると、高速バス１０の負荷容量が大きくなりそれだけ動作可能な周波数が低下するからである。

#### 【００１６】

また、この画像処理装置１では、圧縮／伸張回路１７を高速バス１０に接続しているが、ＣＰＵ１３によるリード・ライトが比較的少ない圧縮／伸張回路１７を用いる場合は、これをペリフェラルバス１２に接続してもよい。

#### 【００１７】

次に、本発明の別の望ましい実施形態に係る画像処理装置を図２に基づいて説明する。この画像処理装置５は、ＣＰＵ２３とＲＯＭ１４を直結する命令（インストラクション）用ＣＰＵ直結バス２４と、ＣＰＵ２３とＲＡＭ１５を直結するデータ用ＣＰＵ直結バス２５と、上述の高速バス１０と、を有するバスアーキテクチャである。例えば、ＡＲＭ系のプロセッサシステムにおける命令用のＴＣＭ（Tightly Coupled Memory）バス、データ用のＴＣＭバス、ＡＭＢＡ（Advanced Microcontroller Bus Architecture）バスがそれぞれ命令用ＣＰＵ直結バス２４、データ用ＣＰＵ直結バス２５、高速バス１０に相当

する。なお、必要に応じて上述のペリフェラルバス１２（図示せず）を有するようにすることもできる。

#### 【００１８】

データ用ＣＰＵ直結バス２５には、更に上述のフレームメモリ１６と圧縮／伸張回路１７とを接続している。また高速バス１０には、上述のデータ送受信信用ＦＩＦＯメモリ１８とタイマ回路１９等とを接続している。また、画像処理装置５は、画像処理装置１と同様に、上述のフレームメモリ用レジスタ２０と圧縮／伸張回路用レジスタ２１とデータ送受信信用レジスタ２２とを含む。

#### 【００１９】

命令用ＣＰＵ直結バス２４やデータ用ＣＰＵ直結バス２５は、ＣＰＵ２３の基本動作クロックの例えば１サイクルで読み込み又は書き込みの動作を行う。一方、高速バス１０は、例えば５～１０サイクルで読み込み又は書き込みの動作を行う。従って、画像処理装置５は、画像処理装置１に比べ、その画像伸張データはフレームメモリ１６からＣＰＵ２３に更に高速に読み込まれ、かつ、ＣＰＵ２３からフレームメモリ１６に更に高速に書き込まれる。

#### 【００２０】

このように、この画像処理装置５は、データ量が多いフレームメモリ１６を処理能力が相対的に高いデータ用ＣＰＵ直結バス２５に接続し、データ量が比較的少ないデータ送受信信用ＦＩＦＯメモリ１８を処理能力が相対的に低い高速バス１０に接続しているので、全体として画像処理の更なる高速化が可能になる。なお、データ送受信信用ＦＩＦＯメモリ１８を高速バス１０に接続しているのは、フレームメモリ１６がデータ用ＣＰＵ直結バス２５に移されているので、高速バス１０の負荷容量がさほど大きくならないからである。

#### 【００２１】

また、この画像処理装置５では、圧縮／伸張回路１７をデータ用ＣＰＵ直結バス２５に接続しているが、ＣＰＵ２３によるリード・ライトが比較的少ない圧縮／伸張回路１７を用いる場合は、これを高速バス１０に接続してもよい。

#### 【００２２】

以上、本発明の実施形態に係る画像処理装置について説明したが、本発明は、実施形態に限られることなく、特許請求の範囲に記載した事項の範囲内でのさまざまな設計変更が可能である。例えば、画像処理装置１、５が用いられる電子機器に電子カメラ２がない場合は、電子カメラ２からの画像伸張データをフレームメモリ１６に保存する機能を省くことも可能である。また、場合に応じ、汎用のタイマ回路１９を含まないこと、また、他の必要な機能回路を含むことが可能なことは勿論である。

#### 【図面の簡単な説明】

#### 【００２３】

【図１】本発明の望ましい実施形態に係る画像処理装置のブロック図。

【図２】本発明の別の望ましい実施形態に係る画像処理装置のブロック図。

【図３】従来の画像処理装置のブロック図。

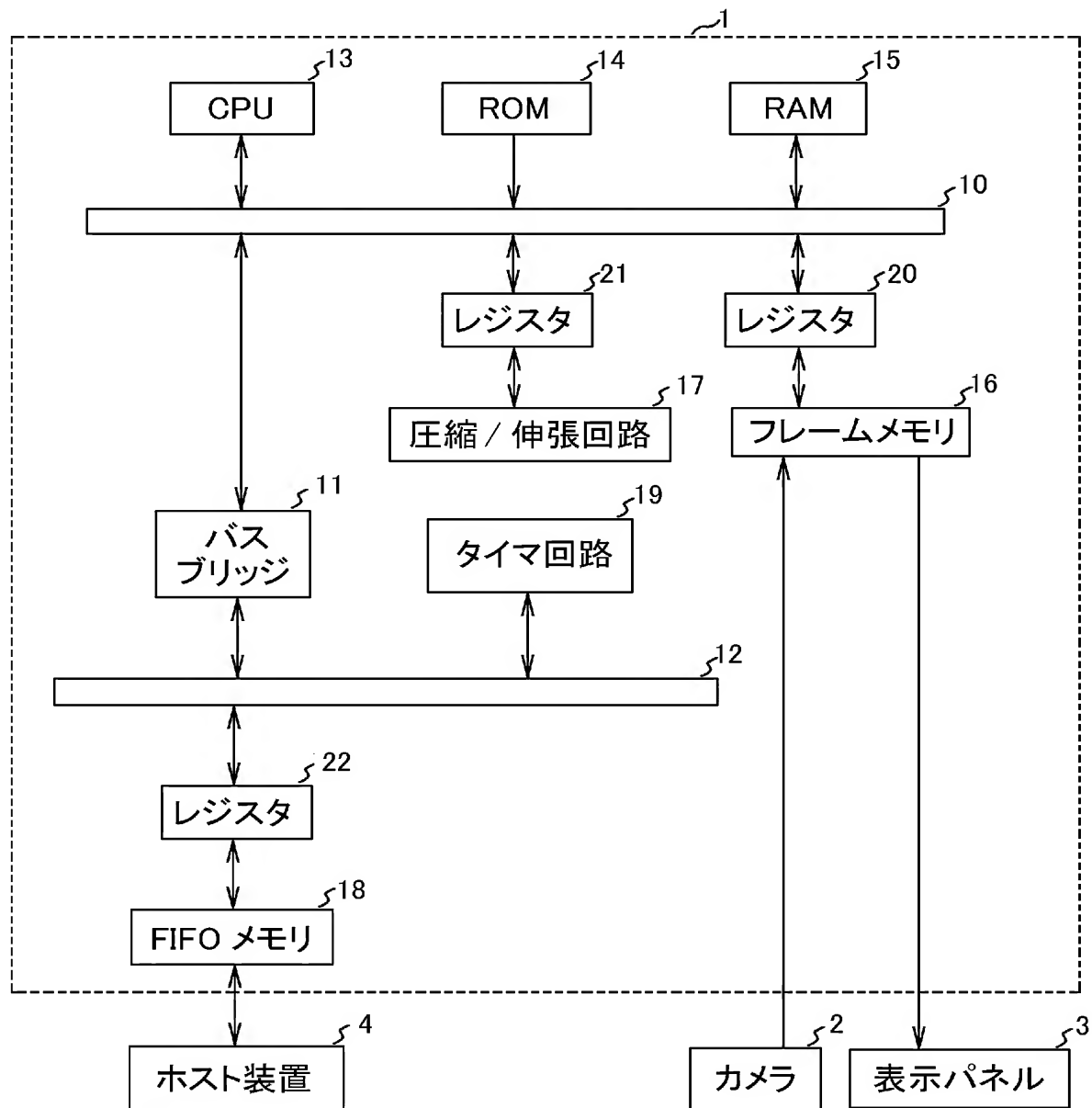
#### 【符号の説明】

#### 【００２４】

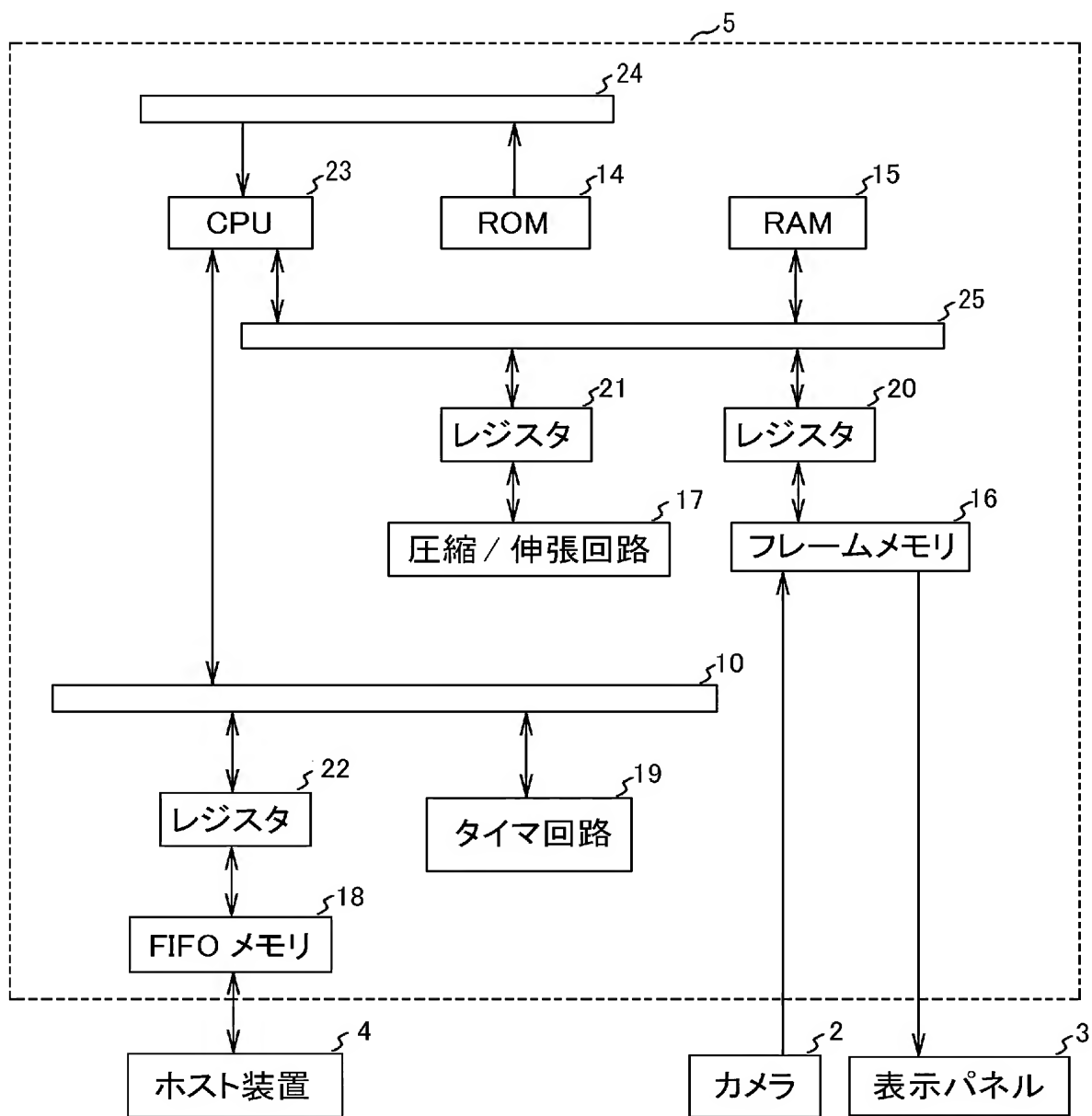
- １、５ 画像処理装置
- ２ 電子カメラ
- ３ 表示パネル
- ４ ホスト装置
- １０ 高速バス
- １２ ペリフェラルバス
- １３、２３ ＣＰＵ
- １６ フレームメモリ
- １７ 圧縮／伸張回路
- １８ データ送受信信用ＦＩＦＯメモリ



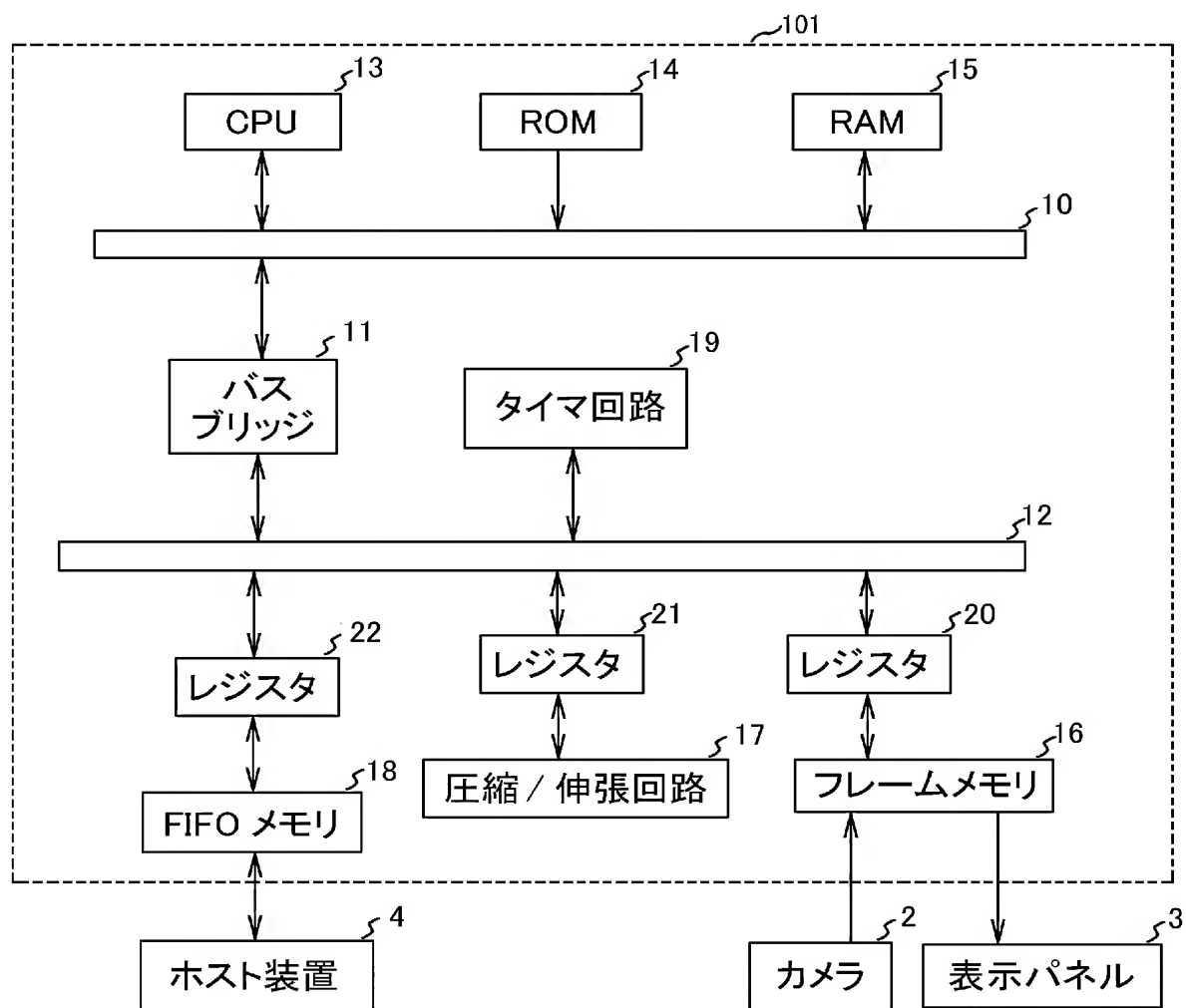
- 2 0 フレームメモリ用レジスタ
- 2 1 圧縮／伸張回路用レジスタ
- 2 2 データ送受信用レジスタ
- 2 4 命令用CPU直結バス
- 2 5 データ用CPU直結バス



【図 2】



【図 3】



【書類名】 要約書

【要約】

【課題】 CPUを効率的に動作させて全体的に画像処理を高速化できる画像処理装置の提供。

【解決手段】 この画像処理装置１は、高速バス１０とペリフェラルバス１２とをバスブリッジ１１を介して結合し、両バス１０、１２に、画像処理の演算や制御を行うCPU１３、ホスト装置４と画像圧縮データの送受信を行うデータ送受信用FIFOメモリ１８、電子カメラ２等からの画像伸張データを保存してそのデータを表示パネル３に表示するフレームメモリ１６、画像伸張データの圧縮及び画像圧縮データの伸張を行う圧縮／伸張回路１７、を接続するものにおいて、CPU１３とフレームメモリ１６を高速バス１０に接続し、データ送受信用FIFOメモリ１８をペリフェラルバス１２に接続してなる。

【選択図】 図１

## 出願人履歴

0 0 0 1 1 6 0 2 4

19900822

新規登録

京都府京都市右京区西院溝崎町 2 1 番地  
ローム株式会社